

SINTESA MODULATOR BPSK PADA LOGIKA PERANGKAT KERAS YANG DAPAT DIPROGRAM ULANG

Tole Sutikno

Center for Electrical Engineering Research and Solutions (CEERS)
Program Studi Teknik Elektro, Fakultas Teknologi Industri, Universitas Ahmad Dahlan
Kampus III UAD, Jl. Prof Soepomo Yogyakarta, Telp. 0274 379418 psw 220; Fax. (0274)-381523,
e-mail: ceers@uad.ac.id, tole@uad.ac.id, tholes2000@yahoo.com

ABSTRAKSI

Pada paper ini akan dijelaskan sintesa modulator digital BPSK pada logika perangkat keras yang dapat diprogram ulang. Perangkat lunak MAX+Plus II 10.2 Baseline digunakan sebagai alat bantu perancangan dan simulasi hasil sintesa. Pada sintesa ini, diasumsikan bahwa modulator BPSK akan diimplementasikan secara perangkat keras pada FPGA Altera ACEX1K. Berdasarkan hasil simulasi dan informasi report project, rancangan yang telah dibuat telah menghasilkan keluaran sinyal BPSK yang benar (dalam wujud digital) dan memerlukan 2% LC dari keseluruhan resource yang tersedia pada EP1K50TC144-3 (EVBU ACEX1K yang digunakan).

Kata kunci: Modulator, BPSK, MAX+Plus, FPGA.

1. PENDAHULUAN

Sistem komunikasi selalu mempunyai 3 elemen dasar yaitu: sumber (*transmitter*), *channel* komunikasi sebagai media transmisi dan penerima (*receiver*). Dalam penerapannya terdapat pilihan dalam menggunakan sistem komunikasi apakah menggunakan komunikasi *analog* atau komunikasi digital.

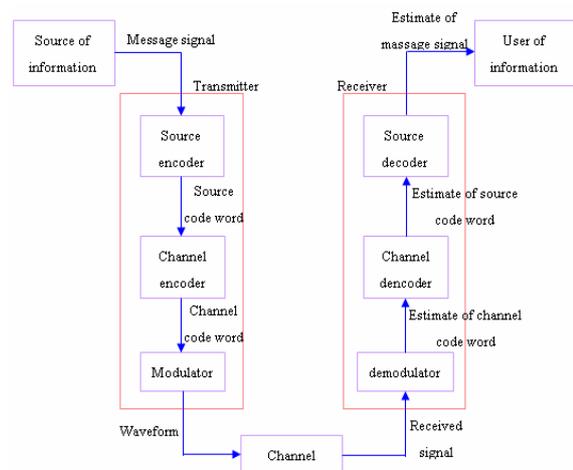
Pada setiap sistem komunikasi analog maupun digital, sinyal informasi yang akan dikirim harus dimodulasi dengan sinyal pembawa agar dapat melewati media transmisi yang akan digunakan. Modulasi adalah proses pengaturan parameter dari sinyal pembawa (*carrier*) yang berfrekuensi tinggi dan sinyal informasi (pemodulasi) yang berfrekuensi lebih rendah, sehingga informasi dapat disampaikan. Modulasi adalah perubahan sistematis terhadap parameter-parameter gelombang pembawa oleh isyarat informasi. Parameter-parameternya dapat berupa amplitudo, fase, maupun frekuensi dari isyarat pembawa. Tujuan utama dari proses modulasi adalah membangkitkan sinyal termodulir yang memenuhi karakteristik dari media transmisi [1].

Diagram blok sistem komunikasi digital ditunjukkan pada Gambar 1, dimana fungsi dari bagian *transmitter* dan *receiver* terbagi menjadi 3 bagian terkecil yaitu: *source encoder-decoder*, *channel encoder-decoder* dan *Modulator-demodulator*

Salah satu jenis modulasi digital adalah *Phase Shift Keying* (PSK). PSK adalah modulasi digital yang memodulasikan fase isyarat pembawa berdasarkan isyarat informasi.

Jenis modulasi PSK diantaranya BPSK (*Binary Phase Shift Keying*). Modulasi BPSK dilakukan dengan mengubah-ubah fase gelombang pembawa (*carrier*) dalam dua fase yang masing-masing berselisih 180°. Dengan demikian pada suatu

saat tertentu gelombang pembawa tersebut memiliki dua kemungkinan harga fase. Setiap kemungkinan fase mewakili data satu bit informasi [1].

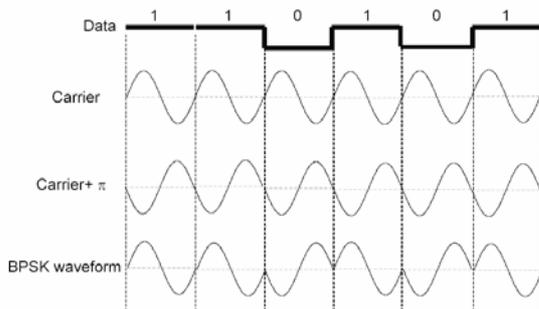


Gambar 1. Diagram blok sistem komunikasi digital

BPSK merupakan modulasi PSK dengan cara mengubah fase dari frekuensi pembawa sesuai dengan data biner, sehingga sinyal BPSK dapat dinyatakan oleh 2 buah sinyal dengan fase yang berbeda. Level bit "1" dinyatakan dengan fase 0° dan level bit "0" dinyatakan dengan fase 180°. Jadi, pada modulasi BPSK, informasi yang dibawa akan mengubah fase sinyal pembawa seperti pada Gambar 2.

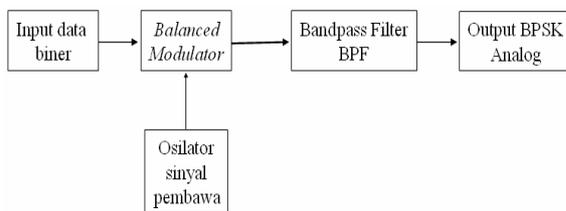
Secara matematis, output dari sebuah modulator BPSK adalah:

$$\begin{aligned} \text{Output} &= (\sin 2\pi f_a t) \cdot (\sin 2\pi f_c t) \\ &= -\frac{1}{2} \cos(2\pi f_c t - 2\pi f_a t) + \frac{1}{2} \cos(2\pi f_c t + 2\pi f_a t) \end{aligned} \quad (1)$$



Gambar 2. Bentuk gelombang modulasi BPSK

Diagram blok sebuah modulator BPSK ditunjukkan pada Gambar 3. Modulator ini berfungsi sebagai saklar pembalik fase, tergantung pada logika input digital, sinyal *carrier* ditransfer menjadi output yang sefase atau berbeda fase 180⁰ dengan pembangkit sinyal pembawa.



Gambar 3. Blok diagram modulator BPSK

Modulasi BPSK lebih sering dipakai pada transmisi digital dibandingkan dengan jenis modulasi lain karena kelebihan-kelebihan sebagai berikut:

- Performansi interferensi lebih baik.
- Jumlah level yang dikodekan lebih banyak.
- Sangat kokoh, sering digunakan secara ekstensif pada komunikasi satelit.

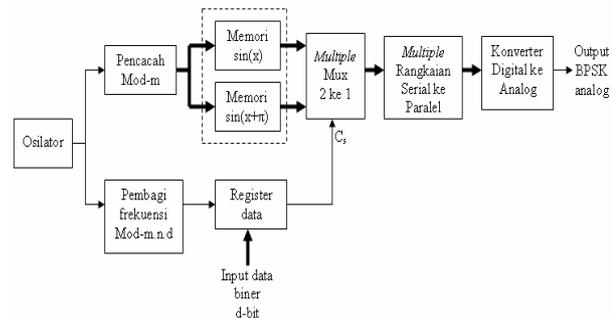
Pada paper ini akan dijelaskan teknik sintesa modulator digital BPSK pada logika perangkat keras yang dapat diprogram ulang (FPGA). Implementasi operasi-operasi digital dalam bentuk perangkat keras dapat dengan mudah dilakukan pada FPGA, karena FPGA memuat ribuan gerbang logika yang dapat diprogram untuk membentuk suatu rancangan digital perangkat keras apapun. FPGA dapat digunakan untuk mengimplementasikan sistem kombinasional dan sekuensial berkecepatan tinggi dengan lebar bit data tidak terbatas.

2. METODE PENELITIAN

Berdasarkan persamaan (1), Gambar 2 dan Gambar 3, maka pada penelitian ini dibuat diagram blok rancangan modulator digital BPSK berbasis FPGA ACEX1K seperti pada Gambar 4.

Sesuai Gambar 4, dalam hal ini sinyal informasi kontinu $\sin(x)$ dan $\sin(x+\pi)$ dicuplik m -kali dalam 1 periodanya, kemudian dikuantisasi, disandikan dan dijadikan memori digital $\sin(x)$ dan

$\sin(x+\pi)$. Pada penelitian ini sinyal informasi disandikan 5 bit dan $m=30$.



Gambar 4. Diagram blok rancangan modulator digital BPSK

Pada rancangan Gambar 4 di atas, Osilator merupakan pembangkit clock pada *evaluation board unit* FPGA ACEX1K yang akan dipakai pada penelitian ini yang nilainya 9,6MHz. Osilator ini akan dijadikan sebagai pembangkit clock utama pada sistem yang akan dirancang (tetapi untuk memudahkan pengamatan, pada penelitian ini Osc 9,6MHz tersebut dibagi dulu 16, sehingga yang real dipakai pada sistem adalah $9,6\text{MHz}/16 = 600\text{KHz}$).

Pencacah mod- m dirancang sebagai pencacah alamat untuk mencacah data-data pada memori digital $\sin(x)$ dan $\sin(x+\pi)$. Pada rancangan ini m adalah 30, sehingga diharapkan pencacahan alamat memori dari 0 hingga 29 akan menghasilkan frekuensi 20KHz ($600\text{KHz}/30$).

Pembagi frekuensi mod- $m.n.d$ digunakan untuk mengatur laju aliran data (informasi biner) yang akan dikirim melalui media komunikasi. Karena pada penelitian ini $m=30$, $n=1$ dan $d=8$, maka clock yang mengatur laju aliran data diharapkan 2,5Hz ($600\text{KHz}/30.1.8$). Pengaturan laju aliran data dalam rancangan ini adalah laju penggeseran data pada register data. Data-data biner yang tergeser ini digunakan sebagai *chip-select* (selector) pada *multiple MUX 2 ke 1*, untuk memilih data-data pada salah satu memori digital $\sin(x)$ atau $\sin(x+\pi)$ yang akan diloloskan ke rangkaian serial ke paralel (S-P) pada Gambar 4.

Pada penelitian ini, semua sub-blok pada diagram blok Gambar 4 diimplementasikan pada FPGA ACEX1K, kecuali sub-blok konverter digital ke analog (DAC). Pada paper ini ADC belum dibuat.

3. HASIL DAN ANALISIS

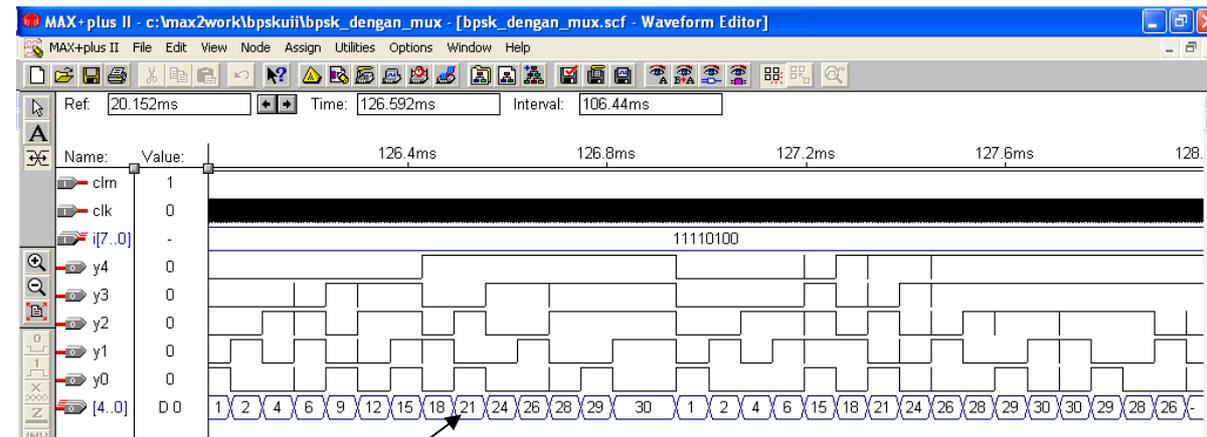
Pengamatan hasil dari rangkaian modulator digital BPSK berbasis ACEX1K yang dirancang dengan perangkat lunak *MAX+Plus II 10.2 Baseline Graphic Editor*, dilakukan dengan cara mengamati hasil simulasi dengan menggunakan perangkat simulator pada *MAX+Plus II 10.2 Baseline Waveform Editor*. Simulasi dilakukan pada tiap-tiap

sub-blok rancangan modulator digital BPSK, dan dilanjutkan ke *top-design* (hirarki tertinggi).

Hasil simulasi rancangan modulator digital BPSK berbasis FPGA ACEX1K ditunjukkan pada Gambar 5. Berdasarkan simulasi ini, rancangan telah berhasil dikompilasi dan disimulasikan dengan hasil yang benar dan tanpa pesan kesalahan. Pada tahap selanjutnya, siap untuk direalisasikan secara perangkat keras. Dalam hal ini, keluaran rancangan akan diinputkan ke ADC sehingga akan menjadi

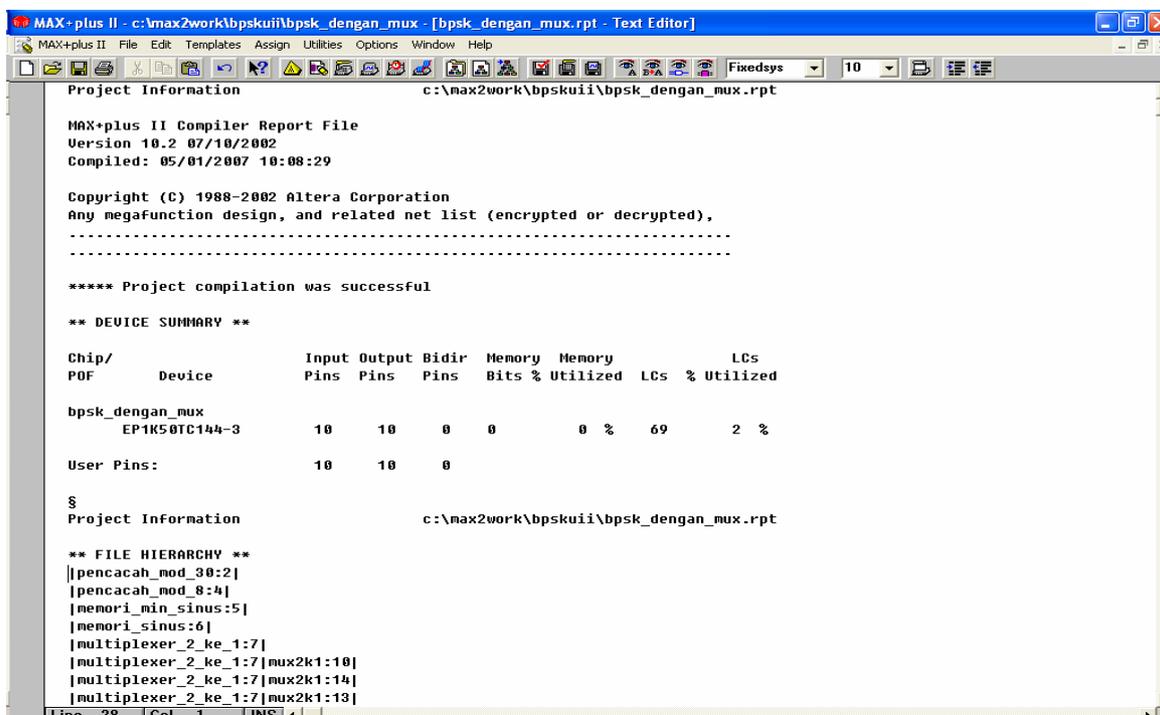
sinyal keluaran BPSK, dan jika digambarkan sinyalnya akan seperti kaidah yang ditunjukkan pada Gambar 2.

Berdasarkan *report project*, pemakaian *resource* FPGA adalah ditunjukkan pada Gambar 6, dapat dilihat bahwa *resource* FPGA ACEX1K yang diperlukan hanya 2% (6 LC) dari yang tersedia sejumlah. Tentunya untuk desain ini perlu dipikirkan untuk menggunakan FPGA seri yang lebih rendah *resource*-nya, supaya efisien.



Runtun keluaran hasil simulasi rancangan sistem dalam wujud output BPSK digital (perlu di-DAC-kan sehingga menjadi output BPSK seperti Gambar 2)

Gambar 5. Contoh hasil simulasi



Gambar 6. Informasi *report project* rancangan modulator digital BPSK berbasis FPGA ACEX1K

4. SIMPULAN

Pada paper ini telah dijelaskan sintesa modulator digital BPSK pada logika perangkat keras yang dapat diprogram ulang dengan perangkat lunak *MAX+Plus II 10.2 Baseline*. Berdasarkan hasil simulasi dan informasi *report project*, rancangan yang telah dibuat telah menghasilkan keluaran sinyal BPSK yang benar (dalam wujud digital) dan memerlukan 2% LC dari keseluruhan resource yang tersedia pada EP1K50TC144-3 (*EVBU ACEX1K* yang digunakan).

PUSTAKA

- [1] Carlson, etc., *Communication Systems*, fourth edition, McGraw-Hill Higher Education, 2002.
- [2] Shimoshio, Y., dan Harsono, N., *Rangkaian dan Sistem Komunikasi*, Politeknik Elektronika Surabaya, Institiut Teknologi Sepuluh November, Surabaya, 2000.
- [3] Stallings, W., *Data and Computer Communications*, 8th Edition, Prentice-Hall, 2005.
- [4], 1998, *MaxPlus II Manual*, Altera Corporation.